



1. DATOS BÁSICOS DEL TFG:

Título: Simulación de nanotransistores avanzados: extracción de figuras de mérito

Descripción general (resumen y metodología):

El mecanismo más común de caracterización del rendimiento de dispositivos electrónicos es la simulación de su curva I_d vs. V_{gs} , ya que se describe la operación de un transistor relacionando los voltajes aplicados entre los contactos con la densidad de corriente que fluye por el canal. Existen ciertas métricas denominadas figuras de mérito que se pueden extraer de la curva para estimar la velocidad, eficiencia o rendimiento del transistor: tensión umbral, sub-threshold swing, corriente ON, corriente OFF, I_{ON}/I_{OFF} ratio, Drain induced barrier lowering (DIBL). Además, en la práctica, existen varios métodos para la extracción de la tensión umbral en dispositivos semiconductores que inducen distintos resultados [1]: segunda derivada, corriente constante, extrapolación lineal, tercera derivada, extrapolación cruzada, transconductance ratio, ...

En el presente trabajo, se llevará a cabo la implementación de un código de post-procesado en el que se calcularán las anteriormente mencionadas figuras de mérito para, finalmente, realizar a partir de ellas un estudio comparativo aplicado a los dispositivos de mayor interés.

Para la obtención de las curvas I_d vs. V_{gs} , el estudiante tendrá acceso a un simulador avanzado Monte Carlo multi-subbanda (MS-EMC) para dispositivos electrónicos tipo MOSFET tridimensionales desarrollado en el departamento [2,3]. Este código se simulará en un clúster Linux de uso en exclusiva por miembros del grupo de investigación TIC-216 (16 nodos con dual Intel Xeon, 128 núcleos, 538 GB de memoria).

Tipología: Resolución de problemas en el ámbito de la ingeniería y la arquitectura.

Objetivos planteados:

El trabajo se centrará en cuatro objetivos:

1. Estudio bibliográfico de las anteriormente mencionadas figuras de mérito y familiarización con el uso del código 3D MS-EMC en el clúster (trabajo con clústeres, archivos de entrada y salida).
2. Implementación de un código de post-procesado en el que se calcularán las figuras de mérito.
3. Estudio de varios métodos para la extracción de la tensión umbral.
4. Realización de un estudio comparativo aplicado a dispositivos de mayor interés a partir de las figuras de mérito.

Bibliografía básica:

1. D. Nagy, G. Espiñeira, G. Indalecio, A.J. García-Loureiro, K. Kalna, N. Seoane, Benchmarking of FinFET, Nanosheet, and Nanowire FET Architectures for Future Technology Nodes, IEEE Access 8 (2020) 53196-53202.
2. L. Donetti, C. Sampedro, F.G. Ruiz, A. Godoy, F. Gamiz, Multi-Subband Ensemble Monte Carlo simulations of scaled GAA MOSFETs, Solid State Electronics 143 (2018) 49-55.
3. L. Donetti, C. Sampedro, F.G. Ruiz, A. Godoy, F. Gamiz, A thorough study of Si nanowire FETs with 3D Multi-Subband Ensemble Monte Carlo simulations, Solid State Electronics 159 (2019), 19-25.

Recomendaciones y orientaciones para el estudiante:

El trabajo que se propone se enmarca dentro de la simulación de dispositivos nanoelectrónicos y en particular en la evaluación de transistores propuestos para futuros nodos tecnológicos (FinFETs,

nanosheets, nanowires) a través del cálculo de los parámetros fundamentales de caracterización que determinan sus prestaciones. Sería útil que el estudiante tuviese conocimientos previos sobre el desarrollo de código de altas prestaciones (como por ejemplo fortran, C++, o Python...).

Plazas: 1

2. DATOS DEL TUTOR/A:

Nombre y apellidos: CRISTINA MEDINA BAILÓN

Ámbito de conocimiento/Departamento: ELECTRÓNICA

Correo electrónico: cmedba@ugr.es

3. COTUTOR/A DE LA UGR (en su caso):

Nombre y apellidos: LUCA DONETTI

Ámbito de conocimiento/Departamento: ELECTRÓNICA

Correo electrónico: donetti@ugr.es

4. COTUTOR/A EXTERNO/A (en su caso):

Nombre y apellidos:

Correo electrónico:

Nombre de la empresa o institución:

Dirección postal:

Puesto del tutor en la empresa o institución:

5. DATOS DEL ESTUDIANTE:

Nombre y apellidos:

Correo electrónico: