



1. DATOS BÁSICOS DEL TFG:

Título: Simulación de nanotransistores avanzados: efecto del dopado

Descripción general (resumen y metodología):

El desarrollo de los circuitos integrados en las últimas décadas se ha basado en la reducción del tamaño de los transistores descrito por la "ley de Moore". En las generaciones más avanzadas, el canal de los transistores se reduce a pocos nanómetros. Para que dispositivos tan pequeños funcionen correctamente, se ha tenido que modificar la arquitectura de los mismos, pasando de estructuras planas a aletas (FinFETs) hasta nanohilos o "nanosheet" totalmente rodeados por la puerta del transistor [1].

El perfil de impurezas de fuente y drenador juega un papel fundamental para determinar las prestaciones de un transistor: si existe una densidad de dopado excesiva debajo de la puerta esta pierde parte del control sobre las cargas almacenadas en el canal, mientras que si fuente y drenador se quedan lejos de la puerta la corriente disminuye por efecto de la mayor resistencia del semiconductor. Además, hay que tener en cuenta que el perfil de dopado no puede ser abrupto y la densidad de impurezas decrece de forma gradual. Además, cuanto menor es el tamaño de un transistor, mayor será el efecto de pequeñas variaciones de todos los parámetros que describen la distribución del dopado. De esta forma, para cada familia de dispositivos es necesario encontrar una distribución que optimice sus prestaciones.

Para llevar a cabo este estudio, se empleará un simulador avanzado Monte Carlo multi-subbanda para dispositivos electrónicos tipo MOSFET tridimensionales (FinFETs, nanosheets, nanowires) desarrollado en el departamento [2,3]. Se modelará la geometría de los transistores y se calculará la corriente para distintos tamaño de dispositivos y perfiles de dopado para evaluar las mejores condiciones de funcionamiento.

Tipología: Resolución de problemas en el ámbito de la ingeniería y la arquitectura.

Objetivos planteados:

- Entender el funcionamiento de transistores a escala nanométrica.
- Aprender el método de simulación Monte Carlo aplicado a transistores nanométricos.
- Estudiar el efecto que tiene el perfil de dopado en el comportamiento eléctrico de los transistores.
- Proponer estructuras de transistores que optimicen su comportamiento para transistores de futuros nodos tecnológicos.

Bibliografía básica:

- [1] J.-P. Colinge, "FinFETs and Other Multi-Gate Transistors", Springer, 2008.
- [2] L. Donetti, C. Sampedro, F.G. Ruiz, A. Godoy, F. Gamiz, "Multi-Subband Ensemble Monte Carlo simulations of scaled GAA MOSFETs", Solid State Electronics 143 (2018) 49-55.
- [3] L. Donetti, C. Sampedro, F.G. Ruiz, A. Godoy, F. Gamiz, "A thorough study of Si nanowire FETs with 3D Multi-Subband Ensemble Monte Carlo simulations", Solid State Electronics 159 (2019), 19-25.

Recomendaciones y orientaciones para el estudiante:

Plazas: 1

2. DATOS DEL TUTOR/A:

Nombre y apellidos: LUCA DONETTI

Ámbito de conocimiento/Departamento: ELECTRÓNICA

Correo electrónico: donetti@ugr.es

3. COTUTOR/A DE LA UGR (en su caso):

Nombre y apellidos: JOSÉ LUIS PADILLA DE LA TORRE

Ámbito de conocimiento/Departamento: ELECTRÓNICA

Correo electrónico: jluispt@ugr.es

4. COTUTOR/A EXTERNO/A (en su caso):

Nombre y apellidos:

Correo electrónico:

Nombre de la empresa o institución:

Dirección postal:

Puesto del tutor en la empresa o institución:

5. DATOS DEL ESTUDIANTE:

Nombre y apellidos:

Correo electrónico: