



Propuesta de Trabajo Fin de Grado en Física

Tutor/a:	Carlos Navarro
Departamento y Área de Conocimiento:	Departamento de Electrónica y Tecnología de Computadores
Correo electrónico:	carlosnm@ugr.es
Cotutor/a:	Luca Donetti
Departamento y Área de Conocimiento:	Departamento de Electrónica y Tecnología de Computadores
Correo electrónico:	donetti@ugr.es

Título del Trabajo:	Estudio mediante simulación de celdas 1T-DRAM para futuros nodos tecnológicos		
Tipología del Trabajo: (Segun punto 3 de las Directrices del TFG aprobadas por Comisión Docente el 10/12/14)	(Marcar con X)	1. Revisión bibliográfica	4. Elaboración de nuevas prácticas de laboratorio
		2. Estudio de casos teórico-prácticos	5. Elaboración de un proyecto
		3. Trabajos experimentales	6. Trabajo relacionado con prácticas externas

Breve descripción del trabajo:

Para superar los límites de escalado de las memorias tradicionales DRAM, se han propuesto recientemente distintas celdas de memoria de un solo transistor (1T-DRAM) sin condensador como, por ejemplo, ARAM [1], A2RAM [2], Z2FET [3] o MSDRAM [4].

En la actualidad, la tecnología de circuitos integrados evoluciona hacia estructuras de dispositivos tridimensionales como FinFET, nanowires y nanosheets, lo que motiva una adaptación de dichas celdas de memoria a estas nuevas arquitecturas. El trabajo se centrará en el estudio mediante simulación de dispositivos semiconductores tridimensionales como 1T-DRAM para analizar su viabilidad en futuros nodos tecnológicos.

Objetivos planteados:

- Estudio bibliográfico de las celdas de memoria propuestas.
- Simulación de dispositivos electrónicos con Sentaurus Device [5].
- Estudio de los mecanismos físicos involucrados en el funcionamiento de las celdas de memoria.
- Análisis de la viabilidad de estructuras tridimensionales como 1T-DRAM.
- Desarrollo de las capacidades para el trabajo autónomo, la iniciativa y la habilidad para innovar y generar nuevas ideas.

Metodología:

- Estudio del estado del arte y selección de la celda de memoria más adecuada para su implementación en arquitecturas 3D.
- Definición de la estructura del dispositivo a estudiar.
- Selección de los modelos y parámetros físicos más adecuados para reproducir el funcionamiento como memoria.
- Simulación, análisis e interpretación de los resultados obtenidos con Sentaurus Device.
- Optimización de los parámetros característicos de la celda: márgenes de corriente y tiempos de retención.

Bibliografía:

1. N. Rodriguez et al. (2010), "A-RAM Memory Cell: Concept and Operation", *IEEE Electron Device Lett.*, Vol. 31, 972-974.
2. N. Rodriguez, et al. (2011), "Novel Capacitorless 1T-DRAM Cell for 22-nm Node Compatible With Bulk and SOI Substrates", *IEEE Trans.Elec.Dev.*, Vol. 58, 2371.
3. S. Cristoloveanu et al. (2018), "A review of the Z2-FET 1T-DRAM memory: Operation mechanisms and key parameters", *Solid-State Electronics*, vol. 143, pp. 10–19.
4. M. Bawedin, et al. (2008), "A capacitorless 1T-DRAM on SOI based on dynamic coupling and double-gate



UNIVERSIDAD
DE GRANADA



Facultad de Ciencias
Sección de Físicas

operation”, *IEEE Electron Device Lett*, vol. 29 (7), pp. 795-798.

5. 4. *Sentaurus Device*: <https://www.synopsys.com/silicon/tcad/device-simulation.html>

A rellenar sólo en el caso que el alumno sea quien realice la propuesta de TFG

Alumno/a propuesto/a: Eric Iglesias Peral

Granada, de 2022

Sello del Departamento